

Publication number: 97-8662

Date of publication of application: 24.02.1997

Application number: 95-19935

Date of filing: 07.07.1995

The fabrication method of thin film transistor

Abstract

This invention is about the thin film fabrication method of transistor(TFT) and is composed of the process which make semiconductor island on the semiconductor substrate; the process which make the gate insulator film on the entire substrate that includes the above mentioned semiconductor island; the process which make T type gate on the above mentioned gate insulator film; the process which make ion doped region in the semiconductor island using the above mentioned T type gate as a mask; the process which make the contact hole to uncover some part of the above mentioned ion doped region by the selective etching; and the process which make source/drain electrode in the contact hole. The advantages of this invention are that the accuracy of the device fabrication increases by fabricating the off-set structure TFT without the photo resistor patterning process, the source/drain asymmetry structure resulting from misalign of conventional off-set structure can be prevented and the above mentioned process can be applied to the pixel driving TFT of liquid crystal display device.

【한국 특허공개공보 제97-8662】

공개특허 97-8662 1/2

대한민국특허청 (KR)
 공개특허공보 (A)

Int. Cl.⁴
 H 01 L 29/786

제 2152 호

공개일자 1997. 2. 24

출원번호 97- 8662

출원일자 1995. 7. 7

출원번호 95-19935

심사청구: 없음

발 명 자 김 근 호 서울특별시 중랑구 면곡 8동 1-12

출 원 인 LG 전자(주) 대표이사 구 자 흥

서울특별시 영등포구 여의도동 20번지 (우: 150-010)

대리인 변리사 박 장 원

(전 2면)

⑤ 박막트랜지스터 제조방법

⑤ 요 약

본 발명은 박막트랜지스터(이하, TFT라 한다) 제조방법에 관한 것으로, 반도체기판 상에 반도체 실을 형성하는 공정과; 상기 반도체 실을 포함한 기판 전면에 게이트 절연막을 형성하는 공정과; 상기 게이트 절연막 상에 T형 게이트를 형성하는 공정과; 상기 T형 게이트를 마스크로 반도체 설 내에 이온주입영역을 형성하는 공정과; 상기 T형 게이트가 형성된 패턴 전면에 층간절연막을 형성한 후, 이를 선택식각하여 상기 이온주입영역의 소정부분을 드러내도록 패턴 층을 형성하는 공정 및; 상기 패턴 층에 소오스/드레인 전극을 형성하는 공정을 구비하여 소자 제조를 완료하므로써, 강광학 패턴 형성 공정 없이도 자기정렬에 의해 오프-셋(off-set) 구조의 박막트랜지스터를 제조할 수 있게 되어 소자 제조에 있어서의 정밀도를 향상시킬 수 있을 뿐 아니라 동시에 중대 오프-셋 구조에서 정렬(align) 불량으로 인해 야기되던 소오스/드레인 비대칭 구조를 방지할 수 있으며, 또한 상기 공정을 역정렬소장치의 픽셀(pixel) 구조를 TFT에도 적용할 수 있는 것들을 가진다.

공개특허 97-8662 2/2

특허청구의 범위

1. 반도체기판 상에 반도체 섬을 형성하는 공정과; 상기 반도체 섬을 포함한 기판 전면에 제이트 절연막을 형성하는 공정과; 상기 제이트 절연막 상에 T형 제이트를 형성하는 공정과; 상기 T형 제이트를 마스크로 반도체 섬 내에 이온주입영역을 형성하는 공정과; 상기 T형 제이트가 형성된 패턴 전면의 층간절연막을 형성한 후, 이를 선택식각하여 상기 이온주입영역의 소정부분 드러나도록 콘택 물층을 형성하는 공정 및; 상기 콘택 물층에 소오스/드레인 전극을 형성하는 공정을 구비하여 형성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

2. 제1항에 있어서 상기 제이트는 상기 제이트 절연막 상에 화학 기상증착법으로 도프트-Si막을 증착하는 공정과; 상기 도프트-Si막 상에 스퍼터법으로 WSi_2 막을 증착하는 공정 및; SiF_4 및 Cl_2 가스를 이용하여 상기 도프트-Si막 및 WSi_2 막을 전식식각하는 공정을 더 포함하여 형성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

3. 제2항에 있어서, 상기 도프트-Si막은 2500Å 두께로 형성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

4. 제2항에 있어서, 상기 WSi_2 막은 1500Å 두께로 형성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

5. 제2항에 있어서, 상기 도프트-Si은 n⁺ 다결정 Si로 형성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2(가)도 내지 제2(마)도는 본 발명에 따른 박막트랜지스터 제조방법을 도시한 공정수순도.

